Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе**

**Дисциплина**: Схемотехника операционных устройств

**Тема**: Задание и анализ задержек внутренних цепей передачи данных проекта

Вариант-5

Выполнил студент гр. 23531/5 \_\_\_\_\_\_\_\_\_\_\_\_\_И.Д. Иванов

(подпись)

Преподаватель \_\_\_\_\_\_\_\_\_\_\_\_\_А.С. Филиппов

(подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

1. **Цели работы**

- Применение средств задания временных требований к внутренним цепям проекта на примере формирователя коротких импульсов;

- Анализ результатов синтеза проекта с заданными временными требованиями к внутренним цепям средствами Timing Quest Timing Analyzer (TQ).

1. **Выполнение работы**

Исследование результатов синтеза и средств задания временных требований к внутренним цепям проекта производится на схеме формирователя коротких импульсов на триггере (рис.1).

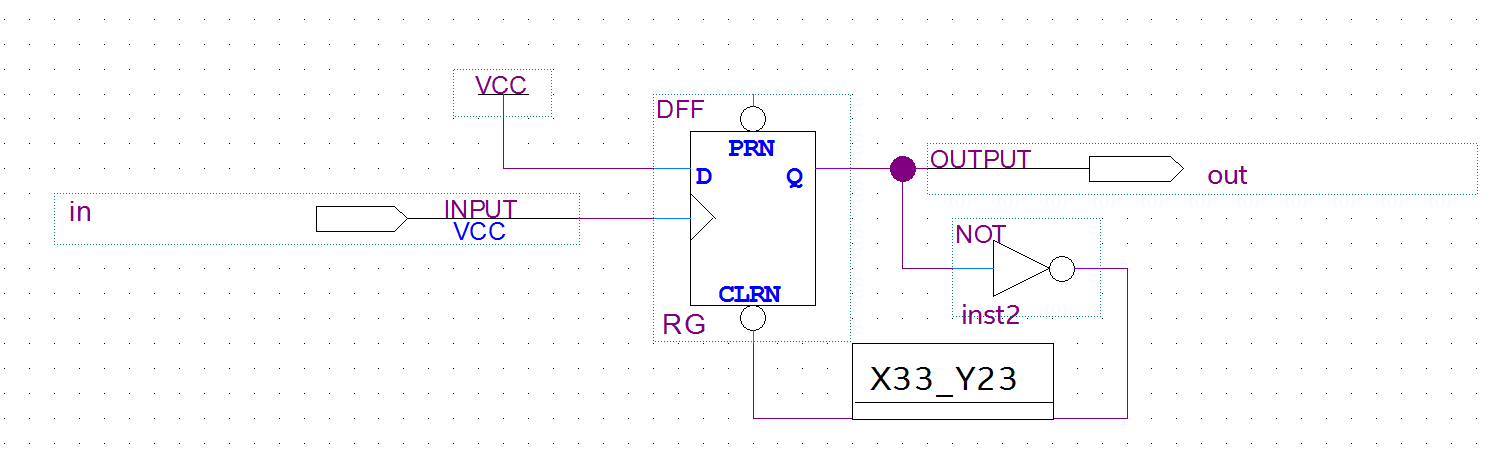


Рис.1.

Ввод схемы исследуемого формирователя был выполнен в логическом файле. Проект был создан для FPGA минимальной логической емкости и градации 7 (в соответствии с индивидуальным заданием).

Выполнен анализ и синтез для получения списка соединений проекта. Назначены выводы. Аппаратурные затраты приведены в отчете компилятора на Рис.2.

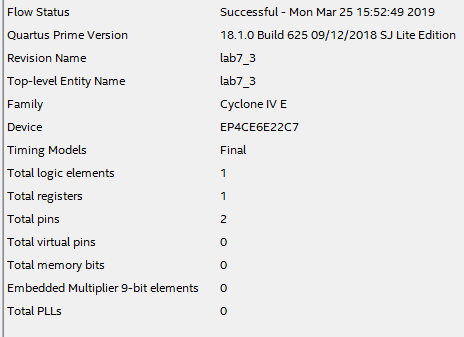


Рис.2.

Используя средства Assignment Editor, указано размещение триггера RG в логическом блоке в соответствии с заданием (X33\_Y23) (Рис.3).



Рис.3.

Средствами TimeQuest был подключен Postmap netlist, содержащий имена ячеек и цепей. Эта информация необходима для задания временных требований в .sdc файле с помощью GUI временного анализатора.

Далее в процессе работы был создан новый .sdc файл, в котором были введены временные требования к тактовой частоте (30 Мгц, Рис.4).

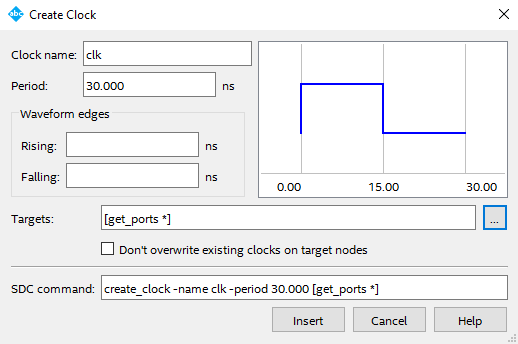


Рис.4.

Также заданы временные требования к минимальной задержке цепи, соединяющей выводы триггера inst, и исключена из временного анализа цепь от выхода триггера до вывода Out.

Созданный .sdc файл приведен на Рис.5.



Рис.5.

Была произведена полная компиляция. Появившиеся критические предупреждения говорят о том, что не следует выполнять асинхронную реализацию формирователя коротких импульсов (Рис.6).



Рис.6.

Определены используемые ресурсы разводки:

|  |  |
| --- | --- |
| Цепи межсоединений | Количество |
| C16 interconnects | 2 |
| C4 interconnects | 16 |
| R24 interconnects | 2 |
| R4 interconnects | 25 |

Оценка задержки, устанавливаемой компилятором представлена на Рис.7.



Рис.7.

Выполнено временное моделирование для наблюдения импульсов на выходе триггера и выводе Out (Рис.8).

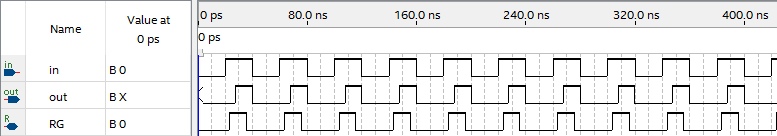


Рис.8.

На выходе out формируется сигнал длиной 12.22 нс. На выходе RG формируется сигнал длиной 12.2 нс.

Для выполнения временного анализа был задан путь в Report Path.

Отчет каждой из временных моделей представлен на Рис.9-11.

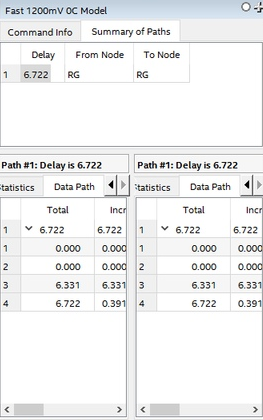


Рис.9.

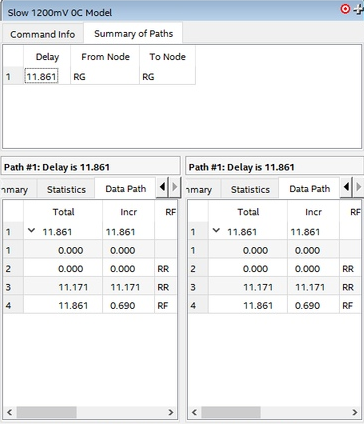


Рис.10.

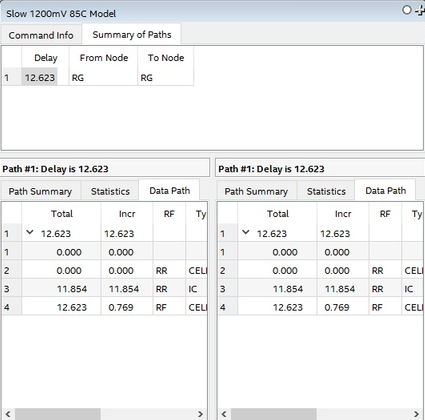


Рис.11.

Можно видеть, что быстрая модель определяет самую короткую задержку, а медленная 85С – самую длинную.

Для определения, каким образом компилятор обеспечил требуемую задержку, локализуем задержку быстрой модели в Chip Planner и выведем путь, соединяющий выход триггера с его входом асинхронной установки в ноль (Рис.12).

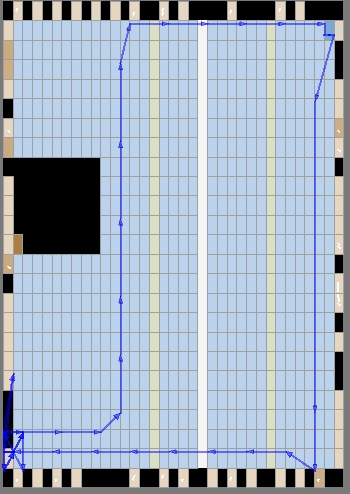


Рис.12.

Наблюдаемая разводка соответствует результатам анализа ресурсов разводки.

1. **Выводы**

Для внутренних цепей проекта (устройства формирования коротких импульсов) были заданы временные требования (к задержке в цепи обратной связи), которые успешно обеспечились компилятором; выполнен анализ результатов синтеза проекта с заданными временными требованиями.